

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237742

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

H03K 5/08
G01R 19/165

(21)Application number : 2001-031278

(71)Applicant : TOSHIBA MICROELECTRONICS
CORP
TOSHIBA CORP

(22)Date of filing : 07.02.2001

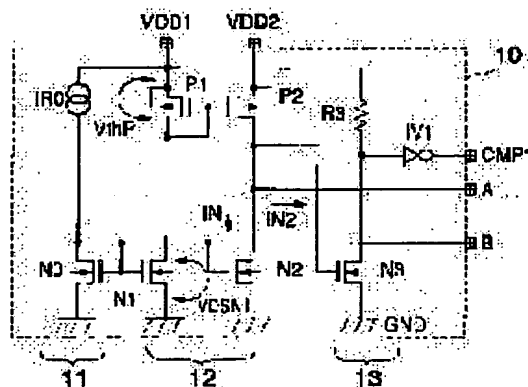
(72)Inventor : OMTA TAKANORI
SUWABE HIROYUKI
UDAGAWA OSAMU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC incorporating a voltage comparator circuit which is operated at a low voltage, has a small pattern area and improved detecting precision.

SOLUTION: This semiconductor integrated circuit incorporates a voltage comparator circuit 10 which is provided with a PMOS transistor P1 whose source is connected to a VDD1 node, and whose drain and gate are interconnected, an NMOS transistor N1 whose drain is connected to the drain of the PMOS transistor, and whose source is connected to a GND node, and whose gate is applied with bias potential, a PMOS transistor P2 whose source is connected to a VDD2 node, and an NMOS transistor N2 whose drain is connected to the drain of the PMOS transistor, and whose source is connected to the GND node, and whose gate is applied with the same bias potential as that of the NMOS transistor N1. Then, signals in different logical levels are outputted from the drain of the PMOSFET according to the compared result of the scales of the VDD1 and VDD2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 第1の電圧ノードにソースが接続され、ドレイン・ゲート相互が接続され第1導電型の第1のMOSFETと、

前記第1のMOSFETとドレイン同士が接続され、第2の電圧ノードにソースが接続され、ゲートに第1のバイアス電位が与えられる第2導電型の第2のMOSFETと、第3の電圧ノードにソースが接続された第1導電型の第3のMOSFETと、

前記第3のMOSFETとドレイン同士が接続され、前記第2の電圧ノードにソースが接続され、ゲートに前記第1のバイアス電位が与えられる第2導電型の第4のMOSFETとを具備し、

前記第1の電圧ノードの電圧と前記第3の電圧ノードの電圧との大小を比較した結果に応じて異なる論理レベルの信号が前記第3のMOSFETのドレインから出力する電圧比較回路を内蔵することを特徴とする半導体集積回路。

【請求項2】 前記第1の電圧ノードまたは第3の電圧ノードと前記第2の電圧ノードとの間に接続され、前記第1のバイアス電位を生成する定電流回路と、前記第1の電圧ノードまたは第3の電圧ノードと前記第2の電圧ノードとの間に接続され、前記電圧比較回路の出力信号を同相または逆相で取り出す出力回路とをさらに具備することを特徴とする請求項1記載の半導体集積回路。

【請求項3】 第1の電圧ノードにソースが接続され、ドレイン・ゲート相互が接続された第1導電型の第1のMOSFETと、

第2の電圧ノードにソースが接続され、ゲートに第1のバイアス電位が与えられる第2導電型の第2のMOSFETと、

第3の電圧ノードにソースが接続された第1導電型の第3のMOSFETと、

前記第3のMOSFETとドレイン同士が接続され、前記第2の電圧ノードにソースが接続され、ゲートに前記第1のバイアス電位が与えられる第2導電型の第4のMOSFETと、

前記第1のMOSFETとドレイン同士が接続され、ソースが前記第2のMOSFETのドレインに接続され、ゲートに第2のバイアス電位が与えられる第2導電型の第5のMOSFETとを具備し、

前記第2のMOSFETおよび第4のMOSFETの各ゲートに第1のバイアス電位が与えられ、前記第1の電圧ノードの電圧と前記第3の電圧ノードの電圧との大小を比較した結果に応じて異なる論理レベルの信号が前記第3のMOSFETのドレインから出力する電圧比較回路を内蔵することを特徴とする半導体集積回路。

【請求項4】 前記第1の電圧ノードまたは第3の電圧ノードと前記第2の電圧ノードとの間に接続され、前記第1のバイアス電位を生成する定電流回路と、

前記第1の電圧ノードまたは第3の電圧ノードと前記第2の電圧ノードとの間に接続され、前記電圧比較回路の出力信号を同相または逆相で取り出す出力回路と、

前記第1の電圧ノードまたは第3の電圧ノードと前記第2の電圧ノードとの間に接続され、前記第2のバイアス電位を生成する動作点設定回路とをさらに具備することを特徴とする請求項3記載の半導体集積回路。

【請求項5】 前記出力回路は、ソースが前記第2の電圧ノードに接続され、ゲートに前記電圧比較回路の出力信号が入力する第2導電型の第13のMOSFETと、

前記第1の電圧ノードまたは第3の電圧ノードと前記第13のMOSFETのドレインとの間に接続された抵抗負荷と、

前記第13のMOSFETのドレインと比較出力ノードとの間に挿入された1段または複数段のインバータ回路とを具備することを特徴とする請求項2または4記載の半導体集積回路。

【請求項6】 前記出力回路の出力信号を帰還させることにより、前記電圧比較回路の電圧比較特性にヒステリシス特性を持たせるヒステリシス回路をさらに具備することを特徴とする請求項1乃至5のいずれか1項に記載の半導体集積回路。

【請求項7】 前記ヒステリシス回路は、前記第3のMOSFETのドレインと前記第2の電圧ノードとの間で直列に接続された第2導電型の第6のMOSFETおよび第7のMOSFETを具備し、前記第6のMOSFETのゲートに前記出力回路から前記電圧比較回路の出力信号とは逆相の信号が与えられ、前記第7のMOSFETのゲートに前記第1のバイアス電位が与えられることを特徴とする請求項6記載の半導体集積回路。

【請求項8】 前記出力回路の出力信号の論理レベルに応じて前記第1の電圧ノードの電圧または第3の電圧ノードの電圧を切換選択してウエルバイアス供給ノードに出力する電圧切換選択回路をさらに具備することを特徴とする請求項請求項2、4乃至7のいずれか1項に記載の半導体集積回路。

【請求項9】 前記電圧切換選択回路は、前記第1の電圧ノードにソースが接続され、ドレインが前記ウエルバイアス供給ノードに接続された第1導電型の第8のMOSFETと、

前記第3の電圧ノードにソースが接続され、ドレインが前記ウエルバイアス供給ノードに接続され、ゲートに前記出力回路の出力信号が与えられる第1導電型の第9のMOSFETと、

前記ウエルバイアス供給ノードにソースが接続され、ゲートに前記出力回路の出力信号が与えられ、ドレインが前記第8のMOSFETのゲートに接続される第1導電型の第10のMOSFETと、

前記第10のMOSFETとドレイン同士が接続され、前記第

2の電圧ノードにソースが接続され、ゲートに前記出力回路の出力信号が与えられる第2導電型の第11のMOSFETとからなることを特徴とする請求項8記載の半導体集積回路。

【請求項10】 前記定電流回路は、
前記第1の電圧ノードまたは第3の電圧ノードに一端が接続された定電流源と、
前記定電流源の他端と前記第2の電圧ノードとの間に接続され、ドレイン・ゲート相互が接続された第2導電型の第12のMOSFETと、
第1の電圧ノードまたは第3の電圧ノードに一端が接続され、ドレイン・ゲート相互が接続された第1導電型の第13のMOSFETと、
前記第13のMOSFETとドレイン同士が接続され、ソースが前記第2の電圧ノードとの間に接続され、前記第12のMOSFETとゲート同士が接続された第2導電型の第14のMOSFETとからなり、
前記第12のMOSFETのドレインから前記第1のバイアス信号が出力し、
前記動作点設定回路は、
第1の電圧ノードまたは第3の電圧ノードに一端が接続され、前記第13のMOSFETとゲート同士が接続された第1導電型の第15のMOSFETと、
前記第15のMOSFETとドレイン同士が接続され、ドレイン・ゲート相互が接続された第2導電型の第16のMOSFETと、
前記第16のMOSFETのソースと前記第2の電圧ノードとの間に接続され、ドレイン・ゲート相互が接続された第2導電型の第17のMOSFETとからなることを特徴とする請求項4記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に係り、特に2つの電圧を比較して比較結果を論理レベル“H”または“L”の信号として出力するCMOS型の電圧比較回路に関するもので、例えば不揮発性半導体メモリの基板バイアス選択用の電源電圧比較回路などに使用されるものである。

【0002】

【従来の技術】 図18は、従来の複数の電源を持つCMOS LSIに内蔵されたCMOS型の電源電圧比較回路の一例を示す。

【0003】 この電源電圧比較回路は、第1の電源電圧VDD1が入力するVDD1ノードと接地電位ノード（GNDノード）との間で直列接続され、VDD1を分圧して第1の分圧電圧VIN1を出力する抵抗素子R11、R12と、第2の電源電圧VDD2が入力する第2の電源ノード（VDD2ノード）とGNDノードとの間で直列接続され、VDD2を分圧して第2の分圧電圧VIN2を出力する抵抗素子R21、R22と、前記VDD1ノードとGNDノードとの間に接続された定電流回路

と、前記VDD1を動作電源とし、CMOSFET（相補性絶縁ゲート型電界効果トランジスタ）を用いて前記VIN1とVIN2を比較して比較結果を比較出力ノードCMP1Aに出力するCMOS電圧比較回路CMPとから構成される。

【0004】 前記定電流回路は、前記VDD1ノードとGNDノードとの間に、定電流源IROAとドレイン・ゲート相互が接続されたN型トランジスタN01Aとが直列接続されて構成される。

【0005】 前記CMOS電圧比較回路CMPは、比較回路部と出力回路とから構成されている。上記比較回路部は、VIN1とVIN2を入力とするソース結合ペアをなす入力用のN型トランジスタN1A、N2Aと、その各ドレインとVDD1ノードとの間に接続されたカレントミラー負荷用のP型トランジスタP1A、P2Aと、前記入力用のN型トランジスタN1A、N2Aのソース結合ノードとGNDノードとの間に接続され、前記定電流回路のN型トランジスタN01Aとゲート同士が接続（カレントミラー接続）された定電流源用のN型トランジスタN02Aとから構成されている。

【0006】 前記出力回路は、前記VDD1ノードとGNDノードとの間に、P型トランジスタP3AとN型トランジスタN03Aとが直列接続されて構成される。この場合、上記P型トランジスタP3Aのゲートには前記比較回路部の出力が入力し、前記N型トランジスタN03Aは前記定電流回路のN型トランジスタN01Aとゲート同士が接続（カレントミラー接続）されており、上記P型トランジスタP3AとN型トランジスタN03Aとの直列接続ノードが前記比較出力ノードCMP1Aに接続されている。

【0007】 次に、図18のソース結合ペアをなすCMOSFETを用いた従来例の電源電圧比較回路の動作について、図19を参照しながら簡単に説明する。

【0008】 この電源電圧比較回路は、VDD1を分圧したVIN1とVDD2を分圧したVIN2を、第1の電源電圧VDD1を動作電源とするCMOS電圧比較回路CMPにより比較し、比較結果を論理レベル“H”または“L”の信号として出力するものである。

【0009】 即ち、 $R11/R12 = R21/R22$ に設定しておくと、 $VDD1 > VDD2$ の時には、 $VIN1 > VIN2$ であり、比較出力ノードCMP1Aに“L”が出力し、 $VDD1 < VDD2$ の時には、 $VIN1 < VIN2$ であり、比較出力ノードCMP1Aに“H”が出力する。

【0010】 上記従来例の電源電圧比較回路は、次の3つの問題点が挙げられる。

【0011】 第1の問題点は、低電圧で動作しないことである。つまり、CMOS電圧比較回路CMPはソース結合ペア回路を構成するトランジスタが飽和領域特性の状態で作動しないとオフセットが大きくなるからである。

【0012】 ここで、最低動作電圧をVDDmin、カレントミラー負荷用のP型トランジスタP1Aの閾値電圧をVthP、入力用のN型トランジスタN1Aのドレイン・ソース間電圧VDSをVDSN1A、定電流源用のN型トランジスタN0

2AのVDSをVDSN02Aで表わすと、 $VDDmin = VthP + VDSN1A + VDSN02A$ であり、VDDmin以下の低電圧では、ソース結合ペア回路を構成するトランジスタのオフセットが大きくなり、CMOS電圧比較回路CMPとして機能しない。例えば、 $VthP=1.0V$ 、 $VDSN1=0.3V$ 、 $VDSN2=0.3V$ とするとVDDmin=1.6Vである。

【0013】第2の問題点は、パターン面積が大きいことである。その理由の1つは、回路構成要素が多いことである。もう1つの理由は、回路を構成する抵抗素子のレイアウトサイズを大きくする必要があるからである。なぜなら、消費電流を低減するために抵抗値を大きく設計する（即ち、抵抗素子のL/Wを大きくとる）必要があり、加えて相対誤差を少なくするためにはWを大きく設計する必要があるからである。

【0014】第3の問題点は、電圧比較の検出精度が悪いことである。これは抵抗素子の相対誤差やアンプのオフセットによる相対誤差によるものである。

【0015】

【発明が解決しようとする課題】上記したように従来の電源電圧比較回路は、低電圧で動作しない、パターン面積が大きい、検出精度が悪いという問題があった。

【0016】本発明は上記の問題点を解決すべく考えたもので、低電圧動作が可能になり、パターン面積が小さくて済み、検出精度が向上する電圧比較回路を内蔵した半導体集積回路を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の第1の半導体集積回路は、第1の電圧ノードにソースが接続され、ドレイン・ゲート相互が接続され第1導電型の第1のMOSFETと、前記第1のMOSFETとドレイン同士が接続され、第2の電圧ノードにソースが接続され、ゲートに第1のバイアス電位が与えられる第2導電型の第2のMOSFETと、第3の電圧ノードにソースが接続された第1導電型の第3のMOSFETと、前記第3のMOSFETとドレイン同士が接続され、前記第2の電圧ノードにソースが接続され、ゲートに前記第1のバイアス電位が与えられる第2導電型の第4のMOSFETとを具備し、前記第1の電圧ノードの電圧と前記第3の電圧ノードの電圧との大小を比較した結果に応じて異なる論理レベルの信号が前記第3のMOSFETのドレインから出力する電圧比較回路を内蔵することを特徴とする。

【0018】本発明の第2の半導体集積回路は、第1の電圧ノードにソースが接続され、ドレイン・ゲート相互が接続された第1導電型の第1のMOSFETと、第2の電圧ノードにソースが接続され、ゲートに第1のバイアス電位が与えられる第2導電型の第2のMOSFETと、第3の電圧ノードにソースが接続された第1導電型の第3のMOSFETと、前記第3のMOSFETとドレイン同士が接続され、前記第2の電圧ノードにソースが接続され、ゲートに前記第1のバイアス電位が与えられる第2導電型の第4のMO

SFETと、前記第1のMOSFETとドレイン同士が接続され、ソースが前記第2のMOSFETのドレインに接続され、ゲートに第2のバイアス電位が与えられる第2導電型の第5のMOSFETとを具備し、前記第2のMOSFETおよび第4のMOSFETの各ゲートに第1のバイアス電位が与えられ、前記第1の電圧ノードの電圧と前記第3の電圧ノードの電圧との大小を比較した結果に応じて異なる論理レベルの信号が前記第3のMOSFETのドレインから出力する電圧比較回路を内蔵することを特徴とする。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0020】なお、本発明の実施の形態では、P型半導体基板（P基板）を用いたLSIにおいて、N型MOSFETはP基板上に形成され、P型MOSFETはP基板に形成されたN型ウェル領域内に形成される。また、P基板には接地電位GNDが与えられ、N型ウェル領域には該領域に形成されるPMOSFET用の電源電位が与えられる。

【0021】＜第1の実施形態＞図1は、本発明の半導体集積回路に形成された第1の実施形態に係る電源電圧比較回路を示している。

【0022】この電源電圧比較回路10は、第1の高電位電源電圧VDD1を動作電源とする定電流回路11と、この定電流回路11により電流制御され、VDD1と第2の高電位電源電圧VDD2を比較するCMOS電圧比較回路12と、VDD1を動作電源とし、前記CMOS電圧比較回路12の比較出力を比較出力ノードCMP1に論理レベル“H”または“L”の信号として取り出す出力回路13から構成される。

【0023】前記定電流回路11は、VDD1が入力するVDD1ノードと低電位電源（本例ではGNDノード）との間に、定電流源I_{RO}およびドレイン・ゲート相互が接続されたN型トランジスタN0の順で直列接続されて構成される。

【0024】前記CMOS電圧比較回路12は、VDD1ノードとGNDノードとの間に、P型トランジスタP1のソース・ドレイン間およびN型トランジスタN1のドレイン・ソース間の順で直列接続され、前記VDD2が入力するVDD2ノードとGNDノードとの間に、P型トランジスタP2のソース・ドレイン間およびN型トランジスタN2のドレイン・ソース間の順で直列接続されている。この場合、上記P1のドレイン・ゲート相互が接続され、前記P1とP2は、ゲート同士が接続されており、カレントミラー回路を構成する。また、前記N1とN2の各ゲートは、前記定電流回路11のN0のゲートに接続されており、これらのN0、N1、N2はカレントミラー回路を構成する。

【0025】前記出力回路13は、前記VDD1ノードとGNDノードとの間に、抵抗素子R3およびN型トランジスタN3のドレイン・ソース間の順で直列接続され、この直列接続ノードと前記比較出力ノードCMP1との間にVDD1を動作電源とするインバータ回路IV1が挿入されている。上記N3のゲートには、前記CMOS電圧比較回路12のP2のドレイ

ン電圧（電圧比較出力信号）が入力する。

【0026】次に、図1の構成の電源電圧比較回路10の動作について説明する。

【0027】図2は、図1の電源電圧比較回路10の入出力特性を示している。ここでは、VDD1が一定の時にVDD2が数百 μsec のオーダーで急峻に立ち上がった場合を示している。

【0028】図1の電源電圧比較回路10は、VDD1とVDD2の電圧変化分をCMOS電圧比較回路12のP1とP2に流れる電流変化分に変換して電流比較を行なう。そして、この電流変化分をさらに電圧変化分に変換し、この電圧変化分を出力回路13に伝達することにより、従来例の電源電圧比較回路と同等の動作を行なうものである。

【0029】即ち、VDD1>VDD2の時には、P1の電流>P2の電流INになり、P2のドレイン電圧により定電流回路11のN3がオフ状態になり、N3のドレイン電圧が“H”（=VDD1）になり、比較出力ノードCMP1に“L”（=GND）が出力する。

【0030】これに対して、VDD1<VDD2の時には、P1の電流<P2の電流INになり、P2のドレイン電圧により定電流回路11のN3がオン状態になり、N3のドレイン電圧が“L”になり、比較出力ノードCMP1に“H”が出力する。

【0031】本実施形態の電源電圧比較回路10によれば、従来例の電源電圧比較回路と比べて、次のような利点がある。

【0032】（1）ソース結合ペア回路を必要としないので、より低電圧で動作可能である。例えば最低動作電圧をVDDmin、P1の閾値電圧をVthP、N1のドレイン・ソース間電圧VDSをVDSN1で表わすと、 $VDDmin = VthP + VDSN1$ 以上で動作可能である。ここで、例えばVthP=1.0V、VDSN1=0.3Vであるとする、最低動作電圧VDDmin=1.3Vのオーダーであり、従来例の電源電圧比較回路の最低動作電圧VDDmin=1.6Vよりも低電圧である。

【0033】（2）回路構成要素が少ないので、パターン面積を小さくできるほか、回路構成要素が少なく、検出バラツキに対する素子の相対誤差要因が少ないので、比較精度を上げることが可能になるなどの利点がある。

【0034】＜第2の実施形態＞図3は、本発明の第2の実施形態に係る電源電圧比較回路30を示している。

【0035】この電源電圧比較回路30は、図1を参照して前述した第1の実施形態に係る電源電圧比較回路10と比べて、その出力側にヒステリシス回路31が付加されている点が異なり、その他は同じであるので、図1中と同一部分には同一記号を付けて説明を省略する。

【0036】上記ヒステリシス回路31は、前記比較出力ノードCMP1とヒステリシス出力ノードCMP2との間に二段のインバータ回路IV2、IV3が接続され、前記CMOS電圧比較回路12のP2のドレイン（ノードA）とGNDノードとの間にN型トランジスタN21、N22が直列に接続されている。この場合、N21のゲートは前記インバータ回路IV

2の出力ノードに接続され、N22は、ゲートが前記定電流回路11のN型トランジスタN0のゲート（ノードB）に接続（カレントミラー接続）されている。

【0037】次に、図3の電源電圧比較回路30の動作について説明する。

【0038】図4は、図3の電源電圧比較回路30の入出力特性（ヒステリシス特性を持つ）を示している。ここでは、VDD1が一定の時にVDD2が数百 μsec のオーダーで急峻に立ち上がった場合を示している。

【0039】図5（a）は、図3の電源電圧比較回路30において、VDD1が一定の時にVDD2が立ち上がり、このVDD2に微小なノイズ成分が混入している場合を示している。この場合の電圧比較出力波形を図5（b）に示しており、対比のために、ヒステリシス特性を持たない電源電圧比較回路の電圧比較出力波形（誤動作例）を図5（c）に示した。

【0040】図3の電源電圧比較回路30の動作は、図2を参照して前述した電源電圧比較回路の動作と比べて、比較出力ノードCMP1の出力信号に対してヒステリシス回路31によりヒステリシス特性を持たせている点が異なり、その他は同じであるのでその説明を省略する。

【0041】VDD1>VDD2の時には、比較出力ノードCMP1は“L”、インバータ回路IV2の出力は“H”、比較出力ノードCMP2は“L”である。この時、インバータ回路IV2の出力“H”によりN21はオン状態になり、ヒステリシス回路31の電流IN2が発生する。このIN2によって、CMOS電圧比較回路12のP2のドレイン・ソース間電圧IDSが少し低下し、その分だけVDD1>VDD2の検出基準が高くなる。

【0042】これに対して、VDD1<VDD2の時には、比較出力ノードCMP1は“H”、インバータ回路IV2の出力は“L”、比較出力ノードCMP2は“H”である。この時、インバータ回路IV2の出力“L”によりN21はオフ状態になり、ヒステリシス回路31の電流IN2は発生しない。

【0043】即ち、CMOS電圧比較回路12は、VDD1>VDD2の時とVDD1<VDD2の時とでヒステリシス回路31の影響が異なり（P2に流れる電流に差が発生する）、入出力特性に差が発生し、図4に示すようにヒステリシス特性を持つようになる。

【0044】したがって、VDD1とVDD2の電位関係が緩慢に切り替わる際にVDD2に微小なノイズ成分が混入した場合、ヒステリシス特性を持つ図3の電源電圧比較回路30によれば、比較出力ノードCMP2にヒゲ状のパルスが出力され難く、誤動作を生じず、図5（b）に示したような安定した比較結果を得ることができる。これに対して、ヒステリシス特性を持たない電源電圧比較回路では、図5（c）に示した誤動作例のように、比較出力ノードCMP2にヒゲ状のパルスが出力する恐れがあった。

【0045】＜第2の実施形態の応用例＞図6は、第2の実施形態に係る電源電圧比較回路30の応用例として、例えば不揮発性半導体メモリのウエルバイアスの切替供

給に用いられる電源切換供給回路を示している。

【0046】図6の電源電圧切換供給回路は、図3を参照して前述した電源電圧比較回路30の出力側に電源切換選択回路60が付加されている点が異なり、その他は同じであるので、図3中と同一部分には同一記号を付けて説明を省略する。

【0047】上記電源切換選択回路60は、VDD1ノードとウエルバイアス供給ノードVOUT1との間にP型トランジスタP5のソース・ドレイン間が接続され、VDD2ノードと前記ウエルバイアス供給ノードVOUT1との間にP型トランジスタP6のソース・ドレイン間が接続されている。そして、前記ウエルバイアス供給ノードとGNDノードとの間に、P型トランジスタP4およびN型トランジスタN4が直列に接続されている。

【0048】さらに、電源電圧比較回路30の比較出力ノードCMP2の出力を受けて反転させるインバータ回路IV4が設けられており、このインバータ回路IV4の出力が前記P4、N4およびP6のゲートに接続され、前記P5のゲートは前記P4、N4の直列接続ノードに接続されている。

【0049】次に、図6の電源電圧切換供給回路の動作について説明する。

【0050】図7は、図6の電源電圧切換供給回路の動作例を示す波形図である。

【0051】図6の電源電圧切換供給回路は、VDD1、VDD2の電位関係に応じて、より高い側の電圧を選択してウエルバイアス供給ノードVOUT1に出力し、これに接続されたウエルのバイアスを切り替えるものである。

【0052】即ち、電源電圧比較回路30の動作は、図4乃至図5を参照して前述した動作と同じであり、電源切換選択回路60の動作は、図7に示すように、電源電圧VDD1、VDD2のうちの高電位側の電圧を選択してウエルバイアス供給ノードVOUT1に出力する。

【0053】例えば、VDD1=1.5V、VDD2=1.3~1.7Vとすると、VDD1>VDD2の時には、比較出力ノードCMP2は“L”、インバータ回路IV4の出力は“H”になり、N4とP5はオン状態になり、P4とP6はオフ状態になり、ウエルバイアス供給ノードVOUT1にVDD1=1.5Vが出力する。

【0054】これに対して、VDD1<VDD2の時には、比較出力ノードCMP2は“H”、インバータ回路IV4の出力は“L”になり、N4とP5はオフ状態になり、P4とP6はオン状態になり、ウエルバイアス供給ノードVOUT1にVDD2=1.5~1.7Vが出力する。

【0055】即ち、図6の電源電圧切換供給回路によれば、前述した各実施形態と同様の効果が得られるほか、ウエルのバイアスを切り替えることができる。

【0056】なお、P型トランジスタP5のソースをVDD2ノード、P型トランジスタP6のソースをVDD1ノードに接続するように変更することにより、VDD1、VDD2の電位関係に応じてより低い側の電圧を選択するように変更することが可能である。

【0057】＜第1の実施形態の変形例＞図8は、第1の実施形態の変形例に係る電源電圧比較回路を示している。

【0058】この電源電圧比較回路は、図1を参照して前述した電源電圧比較回路10と比べて、CMOS電圧比較回路12aに対するVDD1、VDD2の入力関係が逆である（CMOS電圧比較回路12のP2のソースにVDD1が入力し、P3のソースにVDD2が入力する）点、VDD1を動作電源とする定電流回路11aの構成、VDD1を動作電源とする出力回路13aの構成が異なり、その他は同じであるので、図1中と同一部分には同一記号を付けて説明を省略する。

【0059】前記定電流回路11aは、VDD1ノードとGNDノードとの間に、定電流源IREFおよびドレイン・ゲート相互が接続されたN型トランジスタN0の順で直列接続されている。さらに、VDD1ノードとGNDノードとの間に、ドレイン・ゲート相互が接続されたP型トランジスタP10のソース・ドレイン間およびドレイン・ゲート相互が接続されたN型トランジスタN11のドレイン・ソース間の順で直列接続されている。この場合、上記N0およびN11のゲート同士が接続されており、これらのN0、N11はカレントミラー回路を構成する。

【0060】前記出力回路13aは、前記VDD1ノードとGNDノードとの間に、抵抗素子用のP型トランジスタP14のソース・ドレイン間および前記CMOS電圧比較回路12aのP2のドレイン電圧（電圧比較出力信号）がゲートに入力するN型トランジスタN3のドレイン・ソース間の順で直列接続されている。この場合、上記P14は、前記定電流回路11aのP10とゲート同士が接続されており、これらのP10、P14はカレントミラー回路を構成する。そして、上記P14、N3の直列接続ノードと比較出力ノードCMPBとの間にVDD1を動作電源とするインバータ回路INV1が挿入されている。

【0061】図9は、図8の電源電圧比較回路の入出力特性を示している。

【0062】図8の電源電圧比較回路の動作は、図1を参照して前述した電源電圧比較回路10と比べて、基本的に同様であり、VDD1、VDD2の大小関係と比較出力の論理レベルの関係が逆である点が異なる。

【0063】＜第3の実施形態＞ところで、図8に示した電源電圧比較回路10において、低消費電流化を図るためには、定電流源に流す電流値を絞り、カレントミラーを構成するN0、N1、N2およびP1、P2の電流値を一律に低減させる必要があるが、これに伴って、以下に述べるような問題が発生する。

【0064】図10は、図8の電源電圧比較回路のトランジスタP2の電流IMと電圧VMの関係（IM-VM特性）を示している。

【0065】図11は、図8の電源電圧比較回路の動作例を示すタイミング図である。

【0066】即ち、前述したようにVDD1が一定の時にVD

D2が立ち上がり、 $VDD1 < VDD2$ の状態になった時、CMOS電圧比較回路12aにおいて、P1のドレインは“L”から“H”へと変化する、P2のドレインは“H”から“L”へと変化する。この場合、 $VDD1$ と $VDD2$ の電圧差はP2に流れる電流 I_M の変化分 ΔI_M として表わすことができ、この ΔI_M によりCMOS電圧比較回路12aの出力電圧の変化分 ΔV_M が決定される。

【0067】しかし、N2に流れる電流 I_M が絞られているので、N2の駆動能力が弱く、出力回路13aのN3のゲートに対する放電に時間がかかる。即ち、 $VDD1 < VDD2$ になった瞬間から遅れ時間(T_{delay1})後に比較出力ノードCMPBが“H”から“L”に変化するので、電圧比較検出に時間がかかってしまう。このように検出時間に時間がかかった場合、電圧状態が $VDD1 < VDD2$ であるにも拘らず、 $VDD1$ と $VDD2$ の電圧関係を正しく判断できない期間が生じてしまう。上記電圧比較検出の高速化を図ろうとした場合、定電流源に流す電流値を大きくしなければならず、低消費電流化を実現できなくなる。

【0068】このような問題点を解決した第3の実施形態を以下に説明する。

【0069】図12は、本発明の第3の実施形態に係る電源電圧比較回路を示している。

【0070】この電源電圧比較回路は、図8を参照して前述した電源電圧比較回路と比べて、基本的には同じであるが、CMOS電圧比較回路12bに抵抗素子としてN型トランジスタN15が挿入されている点、 $VDD1$ を動作電源とする動作点設定回路14が付加されている点が主として異なる。

【0071】この電源電圧比較回路は、 $VDD1$ を動作電源とする定電流回路11aと、 $VDD1$ を動作電源とする動作点設定回路14と、上記定電流回路11aにより電流制御されるとともに動作点設定回路14により動作点が設定され、 $VDD1$ と $VDD2$ を比較するCMOS電圧比較回路12bと、 $VDD1$ を動作電源とし、CMOS電圧比較回路12bの比較出力を比較出力ノードCMPBに論理レベル“H”または“L”の信号として取り出す出力回路13aから構成される。

【0072】前記動作点設定回路14は、 $VDD1$ ノードとGNDノードとの間に、P型トランジスタP11のソース・ドレイン間、ドレイン・ゲート相互が接続されたN型トランジスタN13のドレイン・ソース間およびドレイン・ゲート相互が接続されたN型トランジスタN12のドレイン・ソース間の順で直列接続されている。この場合、上記P11は、前記定電流回路11aのP10とゲート同士が接続されており、これらのP10、P11はカレントミラー回路を構成する。また、上記N13のドレインの電位を動作点設定バイアスとして出力する。

【0073】前記CMOS電圧比較回路12bは、 $VDD1$ ノードとGNDノードとの間に、P型トランジスタP2のソース・ドレイン間、N型トランジスタN15のドレイン・ソース間およびN型トランジスタN2のドレイン・ソース間の順

で直列接続され、前記 $VDD2$ が入力する $VDD2$ ノードとGNDノードとの間に、P型トランジスタP1のソース・ドレイン間およびN型トランジスタN1のドレイン・ソース間の順で直列接続されている。

【0074】この場合、上記P1のドレイン・ゲート相互が接続され、P1とP2のゲート同士が接続されており、このP1、P2はカレントミラー回路を構成する。また、上記N1およびN2の各ゲートは、前記定電流回路11aのN0のゲートに接続されており、これらのN0、N1、N2はカレントミラー回路を構成する。また、N15のゲートには、前記動作点設定回路14から動作点設定バイアスが与えられる。

【0075】次に、図12の電源電圧比較回路の動作について、図9、図13および図14を参照して説明する。

【0076】図13は、図12の電源電圧比較回路のトランジスタP2の電流 I_M と電圧 V_M の関係(I_M - V_M 特性)を示している。

【0077】図14は、図12の電源電圧比較回路の入出力特性を示している。

【0078】図12の電源電圧比較回路の動作は、図9を参照して前述した電源電圧比較回路の動作と比べて、基本的には同じであるが、CMOS電圧比較回路12bのP2は、抵抗負荷用のN15が接続されているので、図13に示すように電流変化量 ΔI_M に対する電圧変化量 ΔV_M が大きくなる点が異なる。

【0079】即ち、前述したように $VDD1$ が一定の時に $VDD2$ が立ち上がり、 $VDD1 < VDD2$ の状態になった時、CMOS電圧比較回路93において、P1のドレインは“L”から“H”へと変化する、P2のドレインは“H”から“L”へと急峻に変化する。この場合、 $VDD1$ と $VDD2$ の電圧差はN2に流れる電流 I_M の変化分 ΔI_M として表わすことができ、この ΔI_M によりCMOS電圧比較回路11bの出力電圧の変化分 ΔV_M が決定される。

【0080】この時、低消費電流化を図るために、定電流源に流す電流値を絞り、カレントミラーを構成するN0、N1、N2、N11およびP10、P14の電流値を一律に低減させた場合、(CMOS電圧比較回路11bのP2の駆動能力を弱くした場合)でも、前記したように微小の電流変化に対してCMOS電圧比較回路12bの出力電圧の変化分 ΔV_M を大きくすることが可能であり、出力回路13aのN3のゲートに対する放電を短時間で行なうことが可能になる。即ち、 $VDD1 < VDD2$ になった瞬間から短い遅れ時間(T_{delay2})後に比較出力ノードCMPBが“H”から“L”に変化するので、電圧比較検出の時間を短縮することが可能になる。したがって、 $VDD1$ と $VDD2$ の電圧関係を即座に正しく判断することができる。

【0081】即ち、第3の実施形態に係る電源電圧比較回路によれば、図8を参照して前述した電源電圧比較回路と比べて、消費電流を抑えながら電源比較検出の高速

化を図ることが可能になる。

【0082】＜第3の実施形態の変形例＞図15は、第3の実施形態の変形例に係る電源電圧比較回路を示している。

【0083】この電源電圧比較回路は、図12を参照して前述した電源電圧比較回路と比べて、CMOS電圧比較回路12aに対するVDD1、VDD2の入力関係が逆である（CMOS電圧比較回路12dのP1のソースにVDD1が入力し、P2のソースにVDD2が入力する）点が異なり、その他は同じであるので、図12中と同一部分には同一記号を付けて説明を省略する。

【0084】図16は、図15の電源電圧比較回路の入出力特性を示している。

【0085】図15の電源電圧比較回路の動作は、図12を参照して前述した電源電圧比較回路の動作と比べて、基本的には同様であるが、VDD1、VDD2の大小関係に対する比較出力ノードCMPBの出力信号の論理レベルが逆になる点が異なる。即ち、 $VDD1 > VDD2$ の時、 $CMPB = "L"$ 、 $VDD1 < VDD2$ の時、 $CMPB = "H"$ を出力する。

【0086】図15の電源電圧比較回路によれば、図12を参照して前述した電源電圧比較回路と同様に、消費電流を増加させることなく電源比較検出の高速化を図ることができる。

【0087】＜第4の実施形態＞図17は、第4の実施形態に係る電源電圧比較回路を示している。

【0088】この電源電圧比較回路は、図12を参照して前述した電源電圧比較回路と比べて、その出力側にヒステリシス回路15が付加されている点、出力回路13bの構成が異なり、その他は同じであるので、図12中と同一部分には同一記号を付けて説明を省略する。

【0089】上記出力回路13bは、前記出力回路13の比較出力ノードCMPBとヒステリシス出力ノードCMPDとの間にインバータ回路INV2が挿入されている。また、前記ヒステリシス回路15は、前記CMOS電圧比較回路12bのP2のドレインとGNDノードとの間にN型トランジスタN21、N20が直列に接続されている。この場合、N21のゲートは前記インバータ回路INV2の出力ノード（ヒステリシス出力ノードCMPD）に接続され、N22は、ゲートが前記定電流回路11aのN型トランジスタN0のゲートに接続（カレントミラー接続）されている。

【0090】このヒステリシス回路15の動作は、図3を参照して前述したヒステリシス回路31の動作と基本的に同じである。

【0091】図17の電源電圧比較回路の動作は、図12を参照して前述した電源電圧比較回路の動作と比べて、比較出力ノードCMPBの出力信号に対してヒステリシス特性を持たせている点が異なり、その他は同じであるのでその説明を省略する。

【0092】即ち、 $VDD1 < VDD2$ の時には、比較出力ノードCMPBは“L”、インバータ回路INV1の出力は“H”、イン

バータ回路INV2の出力ノード（ヒステリシス出力ノードCMPD）は“L”である。この時、インバータ回路INV2の出力“L”によりN21はオフ状態になり、ヒステリシス回路15の電流IM2は発生しない。

【0093】これに対して、 $VDD1 > VDD2$ の時には、比較出力ノードCMPBは“H”、インバータ回路INV1の出力は“L”、インバータ回路INV2の出力ノードCMPDは“H”である。この時、インバータ回路INV2の出力“H”によりN21はオン状態になり、ヒステリシス回路15の電流IM2が発生する。このIM2によって、CMOS電圧比較回路12bのP2のドレイン・ソース間電圧IDSが少し低下し、その分だけ $VDD1 > VDD2$ の検出基準が高くなる。

【0094】つまり、CMOS電圧比較回路11bは、 $VDD1 < VDD2$ の時と $VDD1 > VDD2$ の時とで、ヒステリシス回路15による影響が異なり（P2に流れる電流に差が発生する）、入出力特性に差が発生し、ヒステリシス特性を持つようになる。

【0095】したがって、VDD1とVDD2の電位関係が緩慢に切り替わる際にVDD1に微小なノイズ成分が混入した場合、ヒステリシス特性を持つ図17の電源電圧比較回路によれば、前述した第2の実施形態と同様に、ヒステリシス出力ノードCMPDにヒゲ状のパルスが出力され難く、誤動作を生じず、安定した比較結果を得ることができる。

【0096】

【発明の効果】上述したように本発明によれば、低電圧動作が可能になり、パターン面積が小さくて済み、検出精度が向上する電圧比較回路を内蔵した半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路に形成された第1の実施形態に係る電源電圧比較回路を示す回路図。

【図2】図1の電源電圧比較回路の入出力特性の一例を示す図。

【図3】本発明の第2の実施形態に係る電源電圧比較回路を示す回路図。

【図4】図3の電源電圧比較回路の入出力特性（ヒステリシス特性を持つ）の一例を示す図。

【図5】図3の電源電圧比較回路においてVDD1が一定の時に立ち上がるVDD2に微小なノイズ成分が混入している場合の入力電圧波形の一例および比較出力波形の一例ならびにヒステリシス特性を持たない電源電圧比較回路の電圧比較出力波形（誤動作例）を対比のために示す特性図。

【図6】本発明の第2の実施形態に係る電源電圧比較回路の応用例として、不揮発性半導体メモリのウエルバイアス供給用の電源切換供給回路を示す回路図。

【図7】図6の電源電圧切換供給回路の動作例を示す波形図。

【図8】本発明の第1の実施形態の変形例に係る電源電

圧比較回路を示す回路図。

【図9】図8の電源電圧比較回路の入出力特性を示す図。

【図10】図8の電源電圧比較回路のトランジスタP2の電流 I_M と電圧 V_M の関係(I_M - V_M 特性)を示す図。

【図11】図8の電源電圧比較回路の動作例を示すタイミング図。

【図12】本発明の第3の実施形態に係る電源電圧比較回路を示す回路図。

【図13】図12の電源電圧比較回路のトランジスタP2の I_M - V_M 特性を示す図。

【図14】図12の電源電圧比較回路の入出力特性を示す図。

【図15】第3の実施形態の変形例に係る電源電圧比較回路を示す回路図。

【図16】図15の電源電圧比較回路の入出力特性を示す図。

【図17】本発明の第4の実施形態に係る電源電圧比較回路を示す回路図。

【図18】従来の複数の電源を持つCMOS LSIに内蔵されたCMOS型の電源電圧比較回路の一例を示す回路図。

【図19】図18のソース結合ペアをなすCMOSFETを用いた従来例の電源電圧比較回路の入出力特性の一例を示す図。

【符号の説明】

10…電源電圧比較回路、

11…定電流回路、

12…CMOS電圧比較回路、

13…出力回路、

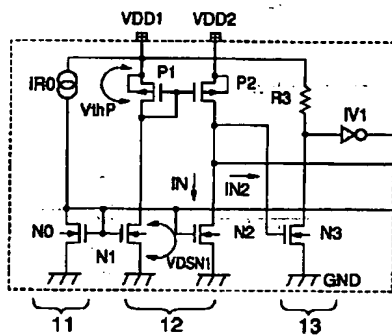
VDD1…第1の高電位電源電圧、

VDD2…第2の高電位電源電圧、

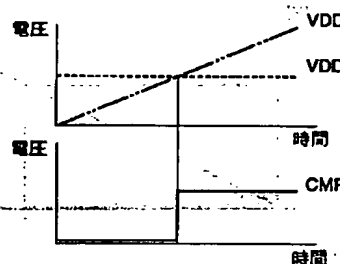
CMP1…比較出力ノード、

GND…低電位電源。

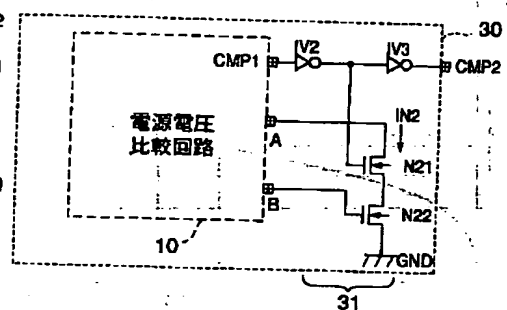
【図1】



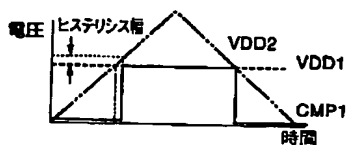
【図2】



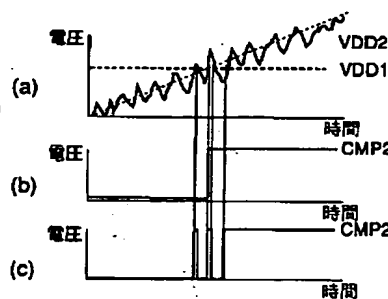
【図3】



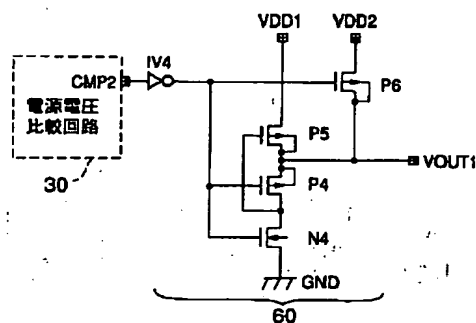
【図4】



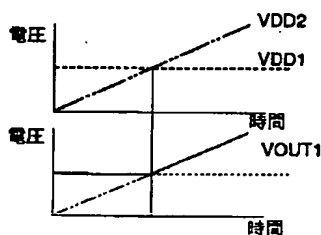
【図5】



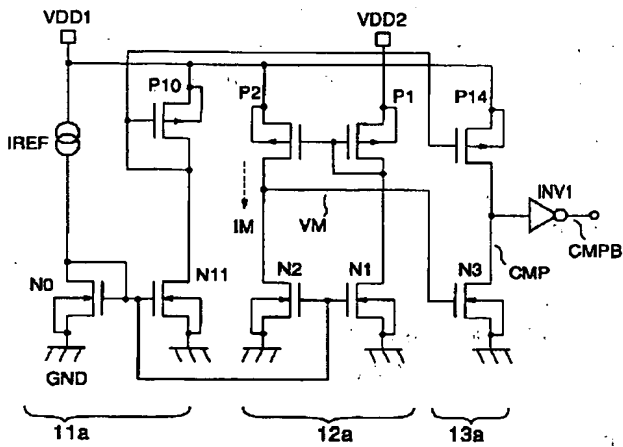
【図6】



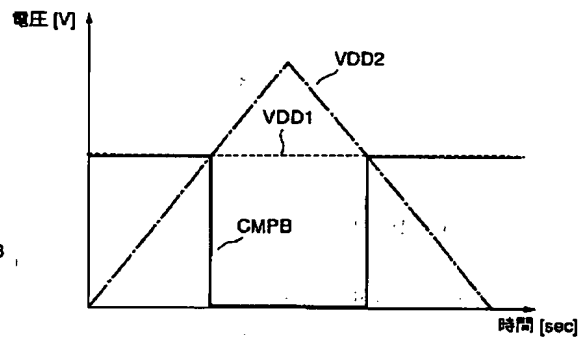
【図7】



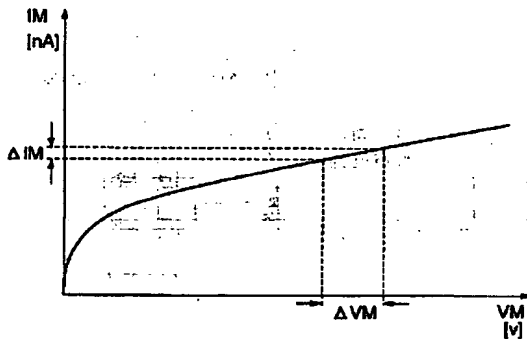
【図8】



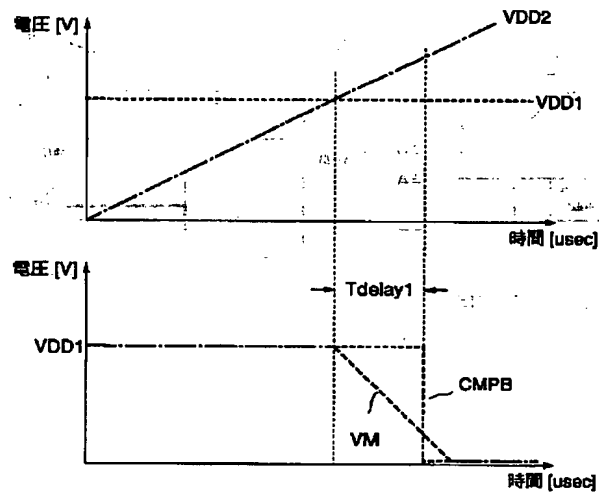
【図9】



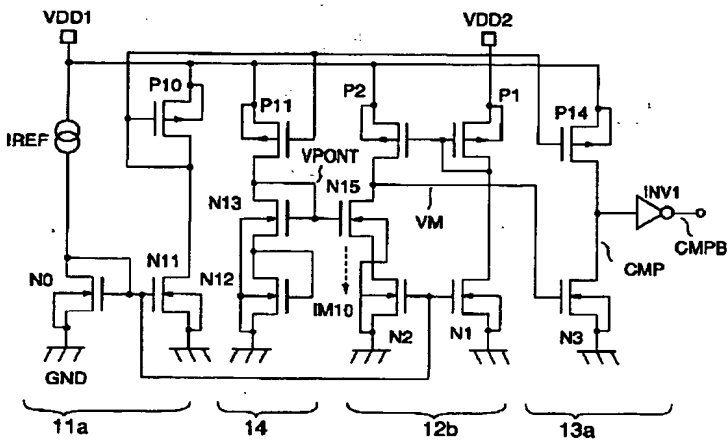
【図10】



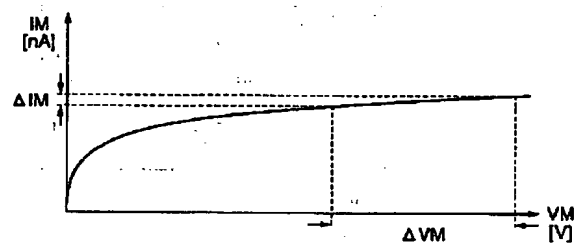
【図11】



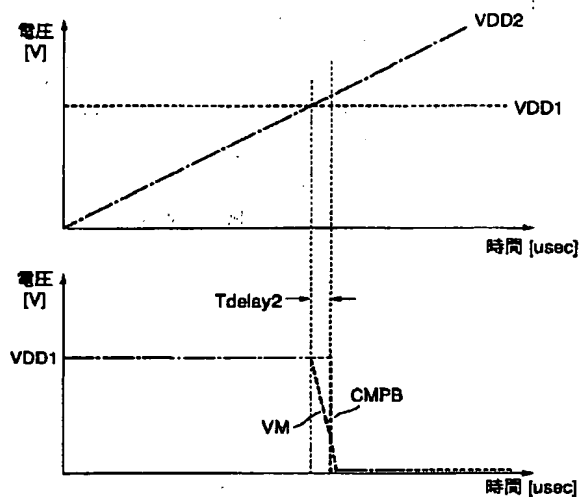
【図12】



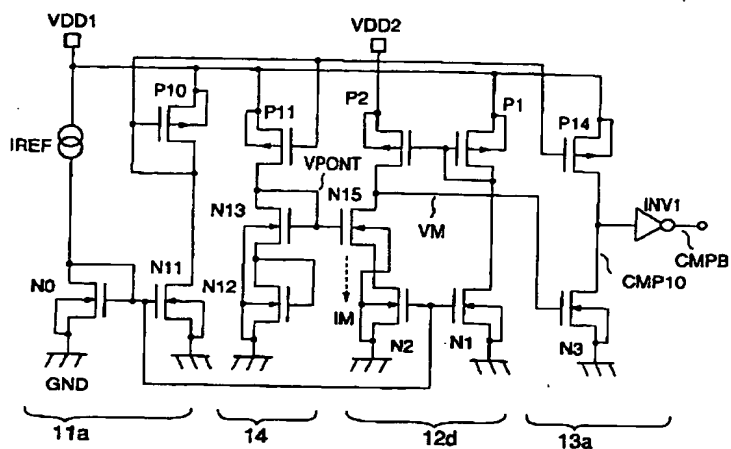
【図13】



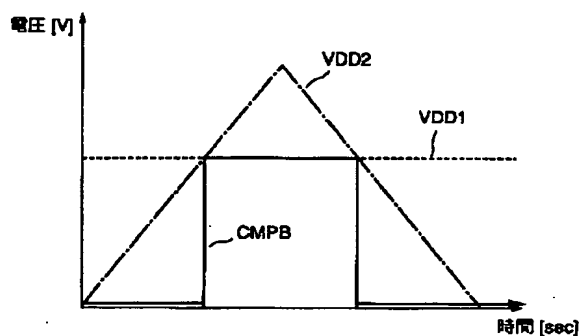
【図 14】



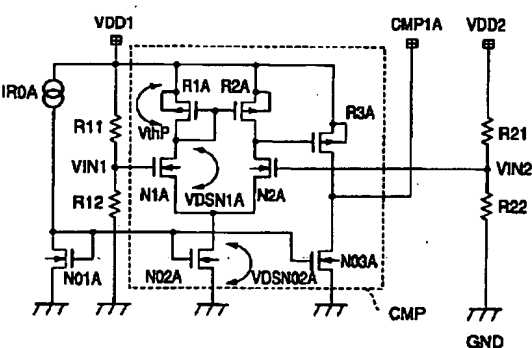
【図 15】



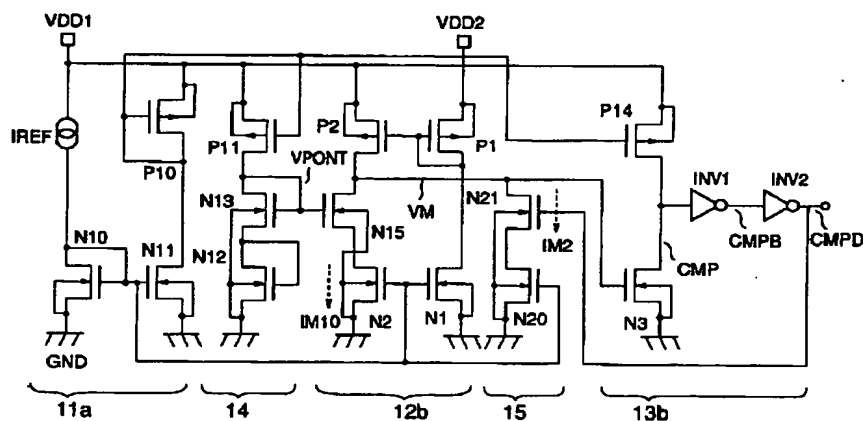
【图 16】



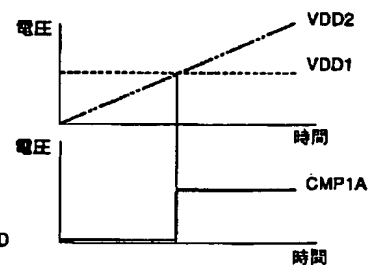
【图 18】



【图 17】



【圖 19】



フロントページの続き

(72)発明者 諏訪部 裕之

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 宇田川 修

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 2G035 AA01 AA13 AB02 AC14 AD03
AD10 AD23 AD56
5J039 DA10 DB08 DC02 DC05 KK10
KK16 KK17 MM03 MM08 MM16